Analog delay circuit arrangement.

Publication number: EP0535359 (A1)
Publication date: 1993-04-07
Inventor(s): MASSONER JOHANN DIPL-ING [AT]
Applicant(s): SIEMENS AG [DE]
Classification:
- international: ***H03K5/13;*** *H03K5/00;* **H03K5/13;** H03K5/00; (IPC1-7): H03K5/13
- European: H03K5/13D2
Application number: EP19920114332 19920821
Priority number(s): DE19914132517 19910930

Also published as:

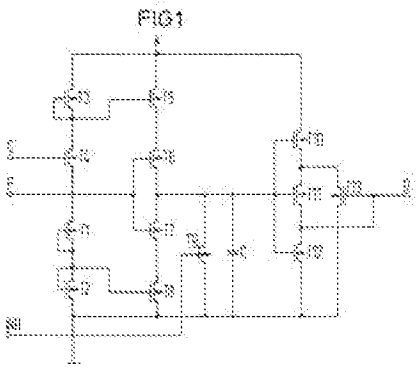
- EP0535359 (B1)
- AT146315 (T)
- US5382840 (A)
- DE4132517 (A1)
- DE4132517 (C2)

Cited documents:

- EP0423963 (A2)
- EP0236525 (A1)
- EP0379169 (A2)

Abstract of **EP 0535359 (A1)**

An analog delay circuit arrangement contains a current source (T1, T4) which is switched with a mark/space ratio of less than 1 and the current of which is coupled reduced via a current balancing arrangement (T3, T5; T2, T8) into an inverter stage (T6, T7), the output of which is connected to a capacitor (C). The capacitor current can be selected by selecting the mark/space ratio and the current balancing geometry, in such a manner that the capacitor can be small and the transistor areas can be minimum even with long delay times. The slow switching edge is accelerated by a subsequent Schmitt trigger.



Data supplied from the ***esp@cenet*** database — Worldwide

(19) Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) Veröffentlichungsnummer: **0 535 359 A1**

(12) EUROPÄISCHE PATENTANMELDUNG

(21) Anmeldenummer: **92114332.7**

(51) Int. Cl.5: **H03K 5/13**

(22) Anmeldetag: **21.08.92**

(30) Priorität: **30.09.91 DE 4132517**

(43) Veröffentlichungstag der Anmeldung:
07.04.93 Patentblatt 93/14

(84) Benannte Vertragsstaaten:
AT DE ES FR GB IT

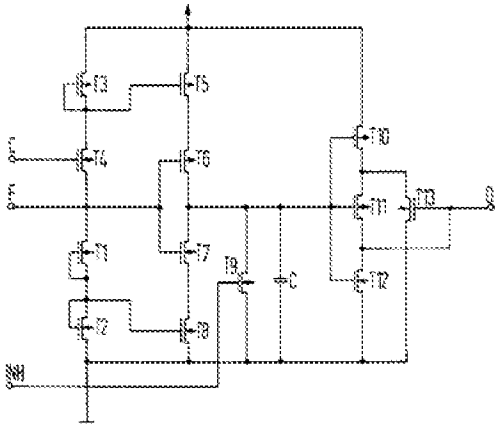
(71) Anmelder: **SIEMENS AKTIENGESELLSCHAFT**
Wittelsbacherplatz 2
W-8000 München 2(DE)

(72) Erfinder: **Massoner, Johann, Dipl.-Ing.**
Nürnberger Strasse 6
A 9500 Villach(AT)

(54) Analoge Verzögerungsschaltungsanordnung.

(57) Eine analoge Verzögerungsschaltungsanordnung enthält eine Stromquelle (T1, T4), die mit einem unter 1 liegenden Puls-Pausen-Verhältnis getaktet und deren Strom über eine Stromspiegelanordnung (T3, T5; T2, T8) reduziert in eine Inverterstufe (T6, T7) eingekoppelt wird, die ausgangsseitig an einen Kondensator (C) angeschlossen ist. Durch Wahl des Puls-Pausen-Verhältnisses und der Stromspiegelgeometrie kann der Kondensatorstrom so gewählt werden, daß auch bei großen Verzögerungszeiten der Kondensator klein und die Transistorenflächen minimal sein können. Ein nachfolgender Schmitttrigger beschleunigt die langsame Schaltflanke.

FIG1



EP 0 535 359 A1

Die Erfindung betrifft eine analoge Verzögerungsschaltungsanordnung mit einer gesteuerten Stromquelle, deren Strom für den Ladezustand eines Kondensators maßgebend ist, dem eine Schaltstufe nachgeschaltet ist.

Insbesondere in Verbindung mit Anwendungen der Leistungselektronik besteht oft die Notwendigkeit, Verzögerungsschaltungen einzusetzen, die Nutzsignale vor allem bei Schaltvorgängen der Leistungsschalter unterdrücken, um Fehlfunktionen zu verhindern. Sobald der Schaltvorgang des Hochstromschalters abgeschlossen ist, soll die Schaltung im Normalbetrieb ohne zusätzliche Verzögerung arbeiten. Bei Hochstromschaltern, wie sie beispielsweise zunehmend in der Autoelektronik eingesetzt werden, unterscheidet man Schalter, die bezüglich der Last den positiven Versorgungsspannungszweig schalten (High Side Switches) oder die den negativen Versorgungsspannungszweig schalten (Low Side Switches). Entsprechend werden für Schalter auf der positiven Versorgungsspannungsseite p-Kanal-Transistoren und für Schalter auf der negativen Versorgungsspannungsseite n-Kanal-Transistoren eingesetzt.

Insbesondere bei Schaltern auf der Seite der positiven Spannungszuführung werden üblicherweise Ladungspumpen eingesetzt, da die p-Kanal-Transistoren für ein optimiertes Schaltverhalten eine oberhalb der positiven Versorgungsspannung liegende Gatespannung benötigen. Derartige Ladungspumpen erfordern Oszillatorstufen. Auch bei Schaltern auf der Seite des negativen Versorgungsspannungspotentials, für die üblicherweise DMOS-Transistoren eingesetzt werden, ist es oft erforderlich, die Gatespannung möglichst hoch zu wählen, um die Laststrecke möglichst niederohmig zu machen. Für diesen Zweck eignen sich ebenfalls Ladungspumpen.

Je nach Ausführung der Leistungsschalter müssen die Nutzsignale zwischen 1 und 10 ms verzögert oder unterdrückt werden. Üblicherweise werden als Verzögerungsschaltungen entweder Zählerstufen oder kondensator-Widerstands-Anordnungen mit einer entsprechend gewählten Zeitkonstanten eingesetzt. Beide Lösungen sind in Leistungstechnologien außerordentlich flächenintensiv.

Der Erfindung liegt die Aufgabe zugrunde, eine analoge Zeitverzögerungsschaltungsanordnung anzugeben, die einen geringen Halbleiter-Flächenbedarf aufweist.

Diese Aufgabe wird mit den Merkmalen des Patentanspruchs 1 gelöst.

Die Erfindung hat den Vorteil, daß durch die Wahl des Puls-Pausen-Verhältnissesund der Stromspiegelgeometrie der Lade- bzw. Entladestrom des Kondensators entsprechend der gewünschten Verzögerungszeit so eingestellt werden kann, daß auch bei großen Verzögerungszeiten der Kondensator klein und die Transistorflächen minimal sein können.

Ausgestaltungen der Erfindung sind in Unteransprüchen gekennzeichnet.

Die Erfindung wird nachfolgend anhand eines in den Figuren der Zeichnung dargestellten Ausführungsbeispieles näher erläutert. Es zeigt:

Figur 1 ein Prinzipschaltbild einer erfindungsgemäßen Verzögerungsschaltungsanordnung und

Figur 2 ein Prinzipschaltbild zur Erzeugung eines Puls-Pausen-Signals.

Die Schaltungsanordnung gemäß Figur 1 enthält eine Stromquellenanordnung mit den Transistoren T1 bis T4. Die Ausgangskreise dieser Transistoren sind hintereinander geschaltet und werden von einer Spannungsquelle versorgt. Die eigentliche Stromquelle bildet der Transistor T1, der den durch den Zweig fließenden Strom definiert. T1 ist als MOS-Feldeffekttransistor vom Verarmungstyp ausgeführt. Damit wird der durchfließende Strom unabhängig von der Versorgungsspannung. Es ist klar, daß auch andere Realisierungsformen der Stromquelle eingesetzt werden können, z.B. ein hochohmiger Widerstand oder ein entsprechend geschalteter Transistor vom Anreicherungstyp. Der in Reihe zum Transistor T1 liegende Transistor T4 ist für die Taktung der Stromquelle verantwortlich. Dazu wird der Gateanschluß des Transistors T4 von einem Taktsignal angesteuert, das an die Klemme C angelegt wird. Es ist vorgesehen, daß das Taktsignal ein Puls-Pausen-Verhältnis unter 1 aufweist, beispielsweise kleiner als 1:10. Damit wird sichergestellt, daß nur zu bestimmten Zeiten der vom Transistor T1 definierte Strom durch den Zweig fließen kann. Im Ausführungsbeispiel ist T4 als p-Kanal-Transistor ausgeführt.

Ein Taktsignal zur Ansteuerung des Transistors T4 kann beispielsweise mit einer Schaltung gemäß Figur 2 erzeugt werden. Diese enthält eine Kette nicht bezeichneter Inverter, deren Ausgang auf den Eingang rückgekoppelt ist. Damit wird eine Oszillatorstufe realisiert, die ausgangsseitig zu einer Ladungspumpe führen kann. Das Eingangs- und Ausgangssignal eines Inverters bilden die Eingangssignale eines NAND-Gatters NA, an dem ausgangsseitig das für die Ansteuerung des Transistors T4 benötigte Taktsignal mit einem vorgegebenen Puls-Pausen-Verhältnis abgenommen werden kann. In Anordnungen, die bereits einen Oszillator für eine Ladungspumpe aufweisen, ist also für die Erzeugung des Taktsignals nur ein geringer Aufwand erforderlich.

Die von der getakteten Stromquelle mit den Transistoren T1 und T4 erzeugten Ströme werden über eine Stromspiegelanordnung in eine Inverteranordnung mit den Transistoren T5 bis T8 gespiegelt. Die Transistoren T5 bis T8 sind ausgangsseiten

tig in Reihe geschaltet und werden von der Spannungsquelle versorgt. Den eigentlichen Inverter bilden die Transistoren T6 und T7, die als komplementäre MOS-Transistoren ausgeführt sind. Dazu sind die Gates des p-Kanal-Transistors T6 und des n-Kanal-Transistors T7 miteinander und mit einem Eingang F verbunden. Den Ausgang der Inverterstufe bildet der Verbindungspunkt der Ausgangskreise der beiden Transistoren T6 und T7. Die Stromspiegelanordnung zur Einkopplung des getakteten Stroms der Stromquelle wird durch zwei Stromspiegel aus den Transistoren T3 und T5 sowie T2 und T8 gebildet. Transistor T3 ist als Diode geschaltet. Der Verbindungspunkt von Gate und Drain von T3 ist mit dem Gate von T5 verbunden. Entsprechend ist der Transistor T2 als Diode geschaltet, dessen Gate- bzw. Drainanschluß mit dem Gateanschluß des Transistors T8 verbunden ist. Mit Hilfe des durch die Stromspiegelgeometrie, d.h. die Geometrie der Transistoren T3 und T5 bzw. T2 und T8 festgelegten Übersetzungsverhältnisses wird der Strom der Stromquelle mit einem bestimmten Verhältnis in den Inverterkreis gespiegelt. Im Inverterkreis fließt gemäß der Erfindung ein geringerer Strom als von der Stromquelle erzeugt. Der Reduktionsfaktor beträgt beispielsweise 10 oder größer bezogen auf den Strom der Stromquelle. Selbstverständlich können unterschiedliche Übersetzungsverhältnisse der beiden Stromspiegel vorgesehen sein. Je nach Steuersignal an der Klemme F wird entweder der Transistor T6 oder der Transistor T7 durchgeschaltet, so daß entsprechend der Teilkreis aus den Transistoren T5 und T6 oder Teilkreis aus den Transistoren T7 und T8 Strom führt.

Am Ausgang der Inverterstufe ist ein Kondensator C gegen einen Pol der Versorgungsspannungsquelle geschaltet. Je nach Schaltzustand des Inverters wird der Kondensator C über einen getakteten und von der Stromquelle in den Inverterkreis gespiegelten sehr kleinen Strom geladen oder entladen. Wählt man als Taktverhältnis 1:10 und als Übersetzungsverhältnis der Stromspiegel 10:1, so wird der Ladestrom bzw. Entladestrom des Kondensators um den Faktor 100 gegenüber einem entsprechenden Konstantstrom, wie ihn der Transistor T1 liefert, vermindert.

Der Inverterstufe bzw. dem Verbindungspunkt der Inverterstufe mit dem Kondensator C ist ein Schmitttrigger mit den Transistoren T10 bis T13 nachgeschaltet, der ausgangsseitig den Ausgang der Verzögerungsschaltung bildet. Der Schmitttrigger schaltet sehr schnell durch, sobald sein Schaltpunkt erreicht ist. Gemäß Figur 1 wird der Schaltpunkt durch den Ladezustand des Kondensators C bestimmt. Durch den geringen Lade- bzw. Entladestrom für den Kondensator C wird die Ladezeit bis zum Schaltpunkt gegenüber einem mit Konstantstrom geladenen Kondensator entsprechend verlängert. Das bedeutet, daß der Kondensator C gegenüber einem mit Konstantstrom geladenen Kondensator entsprechend kleiner dimensioniert werden kann, um dieselbe Verzögerungszeit bis zum Schaltpunkt des Schmitttriggers zu erreichen. Neben dem kleiner zu dimensionierenden Kondensator C ermöglicht die Erfindung die Verwendung flächenminimierter Transistoren für die Inverter- bzw. Ladestufe. Ohne die Reduktion des Lade- bzw. Entladestroms müßten die Transistoren T5 bis T8 vergleichsweise lang und somit flächenintensiv gebaut werden. Die durch den Schmitttrigger gebildete Schaltstufe ermöglicht durch ihr schnelles Durchschalten die Beschleunigung der verzögerten Schaltflanke.

Im Ausführungsbeispiel gemäß Figur 1 kann sowohl die positive als auch die negative Schaltflanke über die Steuerung des Lade- bzw. Entladestroms des Kondensators gesteuert werden. Soll dagegen nur das Einschalten oder das Ausschalten alleine verzögert werden, so können die entsprechenden Stromspiegel aus den Transistoren T2 und T8 bzw. T3 und T5 weggelassen werden. Ein gemäß Figur 1 mit seinem Ausgangskreis parallel zum Kondensator C liegender Transistor T9 kann bei einem entsprechenden Eingangssignal an seinem Gateanschluß INH die Transistoren T7 und T8 überbrücken. Damit kann eine Schnellentladung des Kondensators C erreicht werden. Falls der Stromspiegel aus den Transistoren T2 und T8 nicht benötigt wird, kann auch der Transistor T9 entfallen.

Patentansprüche

1. Analoge Verzögerungsschaltungsanordnung mit einer gesteuerten Stromquelle, deren Strom für den Ladezustand eines Kondensators maßgebend ist, dem eine Schaltstufe nachgeschaltet ist,
 dadurch gekennzeichnet,
 daß die Stromquelle (T1, T4) mit einem unter 1 liegenden Puls-Pausen-Verhältnisgetaktet wird und daß der Strom der Stromquelle über eine Stromspiegelanordnung (T3, T5; T2, T8) reduziert in eine Inverterstufe (T6, T7) eingekoppelt wird, die ausgangsseitig am Kondensator (C) angeschlossen ist.

2. Anordnung nach Anspruch 1,
 dadurch gekennzeichnet,
 daß die getaktete Stromquelle durch die Reihenschaltung eines als Widerstand geschalteten Transistors (T1) und eines Schalttransistors (T4) gebildet wird.

3. Anordnung nach Anspruch 1 oder 2,
dadurch gekennzeichnet,
daß die Stromspiegelanordnung einen Stromspiegel (T3, T5) für den Ladekreis und/oder einen Stromspiegel (T2, T8) für den Entladekreis des Kondensators enthält.

4. Anordnung nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet,
daß dem Kondensator eine Schmitttriggeranordnung (T10 bis T13) nachgeschaltet ist.

FIG 1

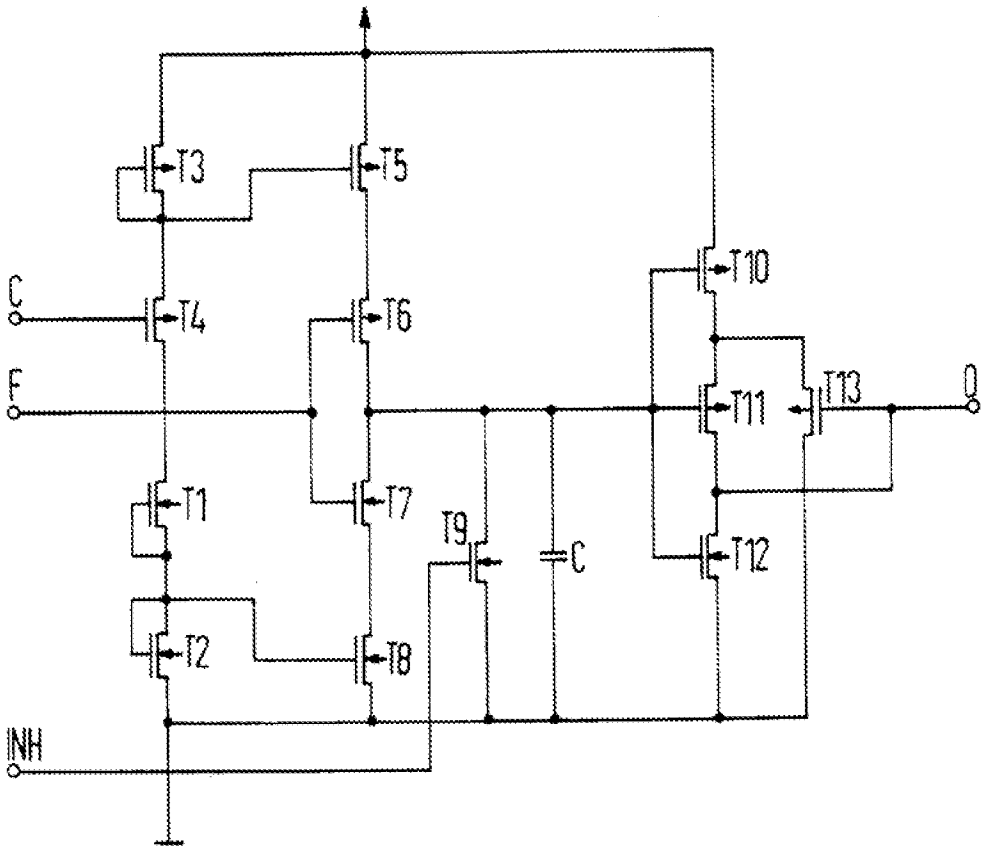
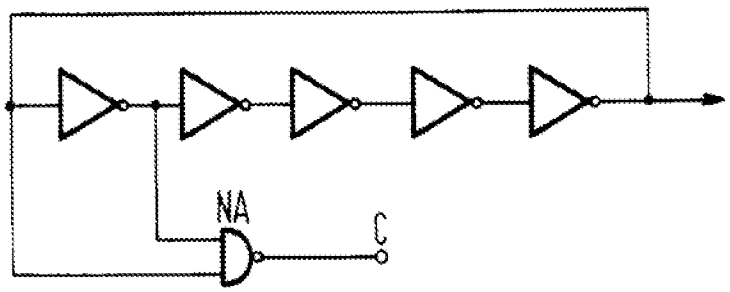


FIG 2



Europäisches Patentamt

EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung

EP 92 11 4332

EINSCHLÄGIGE DOKUMENTE

Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int. Cl.5)
A	EP-A-0 423 963 (ADVANCED MICRO DEVICES, INC.) * Spalte 3, Zeile 40 - Spalte 6, Zeile 40; Abbildungen 1-3 *	1	H03K5/13
A	EP-A-0 236 525 (DEUTSCHE ITT INDUSTRIES GMBH) * Spalte 1, Zeile 39 - Spalte 3, Zeile 15; Abbildungen 1-2 *	1	
A	EP-A-0 379 169 (TOSHIBA K.K.)	1	
			RECHERCHIERTE SACHGEBIETE (Int. Cl.5)
			H03K

Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt

Recherchenort	Abschlußdatum der Recherche	Prüfer
DEN HAAG	11 JANUAR 1993	SEGAERT P.A.O.M.

KATEGORIE DER GENANNTEN DOKUMENTE

X : von besonderer Bedeutung allein betrachtet
Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie
A : technologischer Hintergrund
O : nichtschriftliche Offenbarung
P : Zwischenliteratur

T : der Erfindung zugrunde liegende Theorien oder Grundsätze
E : älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist
D : in der Anmeldung angeführtes Dokument
L : aus andern Gründen angeführtes Dokument

& : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument

EPO FORM 1503 03.82 (P0403)